

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 2 8 日
Date of Application:

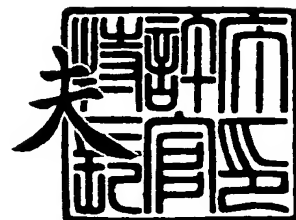
出 願 番 号 特 願 2 0 0 3 - 0 9 1 6 7 3
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 9 1 6 7 3]

出 願 人 三 洋 電 機 株 式 会 社
Applicant(s):

2 0 0 4 年 1 月 3 0 日

特 許 庁 長 官
Commissioner,
Japan Patent Office

今 井 康



出 証 番 号 出 証 特 2 0 0 4 - 3 0 0 4 6 6 1

【書類名】 特許願

【整理番号】 KGA1030033

【提出日】 平成15年 3月28日

【あて先】 特許庁長官 殿

【国際特許分類】 G09G 3/30

【発明者】

【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会
社内

【氏名】 新井 啓之

【発明者】

【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会
社内

【氏名】 茂木 修治

【発明者】

【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会
社内

【氏名】 木村 毅

【発明者】

【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会
社内

【氏名】 徳永 哲也

【特許出願人】

【識別番号】 000001889

【氏名又は名称】 三洋電機株式会社

【代理人】

【識別番号】 100071283

【弁理士】

【氏名又は名称】 一色 健輔

【選任した代理人】

【識別番号】 100084906

【弁理士】

【氏名又は名称】 原島 典孝

【選任した代理人】

【識別番号】 100098523

【弁理士】

【氏名又は名称】 黒川 恵

【手数料の表示】

【予納台帳番号】 011785

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 蛍光表示管駆動回路

【特許請求の範囲】

【請求項 1】 フィラメントと、グリッド電極と、セグメント電極と、を有する蛍光表示管に対して、前記グリッド電極をパルス駆動するグリッド駆動手段と、前記セグメント電極をパルス駆動するセグメント駆動手段と、前記グリッド駆動手段の出力のデューティー比を調整可能とする第 1 の制御手段と、前記セグメント駆動手段の出力のデューティー比を調整可能とする第 2 の制御手段と、を有する蛍光表示管駆動回路であって、

前記第 1 の制御手段又は前記第 2 の制御手段の少なくともいずれか一方を選択するための選択手段を有することを特徴とする蛍光表示管駆動回路。

【請求項 2】 前記蛍光表示管駆動回路は、

外部から前記第 1 の制御手段又は前記第 2 の制御手段の少なくともいずれか一方を選択するためのデータを受信し、

前記選択手段は、

前記外部から受信するデータに基づいて、前記第 1 の制御手段又は前記第 2 の制御手段の少なくともいずれか一方を選択することを特徴とする請求項 1 に記載の蛍光表示管駆動回路。

【請求項 3】 前記選択手段は、

前記第 1 の制御手段を選択しない場合、前記グリッド駆動手段の出力を所定デューティー比とし、

前記第 2 の制御手段を選択しない場合、前記セグメント駆動手段の出力を所定デューティー比とすることを特徴とする請求項 1 又は 2 に記載の蛍光表示管駆動回路。

【請求項 4】 前記蛍光表示管駆動回路は、前記フィラメントをパルス駆動するフィラメント駆動手段を有する半導体集積回路であり、前記フィラメントをパルス駆動するための電圧を生成するスイッチング素子を外部に接続可能とすることを特徴とする請求項 1 乃至 3 のいずれかに記載の蛍光表示管駆動回路。

【請求項 5】 前記フィラメントをパルス駆動するための電圧を生成するス

スイッチング素子を有することを特徴とする請求項 1 乃至 3 のいずれかに記載の蛍光表示管駆動回路。

【請求項 6】 前記蛍光表示管駆動回路は、半導体集積回路であり、前記スイッチング素子を外部に接続可能とすることを特徴とする請求項 5 に記載の蛍光表示管駆動回路。

【請求項 7】 前記蛍光表示管駆動回路は、前記スイッチング素子を集積化した半導体集積回路であることを特徴とする請求項 5 に記載の蛍光表示管駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、蛍光表示管の表示品位を向上させる蛍光表示管駆動回路に関する。

【0002】

【従来の技術】

蛍光表示管 (Vacuum fluorescent Display、以下、VFD と称す) は、真空容器の中で、フィラメントと呼ばれる直熱形カソードに電圧を印加してフィラメントを発熱させることにより熱電子を放出させ、その熱電子をグリッド電極にて加速させてアノード (セグメント) 電極上の蛍光体に衝突発光させることにより所望のパターンを表示する自発光型の表示デバイスのことである。VFD は、視認性、多色化、低動作電圧、信頼性 (耐環境性) などの面において優れた特徴を有しており、自動車用、家電用、民生用など様々な用途・分野において利用されている。

【0003】

ここで、VFD の駆動を用途とした従来の VFD 駆動回路では、VFD 使用時における周囲の環境条件 (周囲照度など) に応じて、VFD を適切な輝度にて表示させるために、VFD の輝度調整を行う仕組みが備わっている。例えば、この仕組みとして、グリッド電極に印加される電圧 (以下、グリッド電圧と称す) のデューティ比を調整するグリッドディミングと呼ばれる手法や、セグメント (アノード) 電極に印加される電圧 (以下、セグメント電圧と称す) のデューティ

一比を調整するアノードディミングと呼ばれる手法がある。なお、グリッドディミングは、グリッド電圧のパルス幅が変動することによって、フィラメントとグリッド電極との間の熱電子量が一定とはならないので、VFDの表示品位を低下させるといわれている。そのため、昨今では、グリッドディミングと比べて、アノードディミングが注目されてきている。

【0004】

グリッド・アノードディミングは、例えば、図7(a)に示すようなディマー調整データとディマー値との対照表に基づいて行われる。なお、ディマー調整データとは、グリッド電圧やセグメント電圧のデューティー比として設定可能な値と対応づけられたデータであり、外部からVFD駆動回路に対してグリッド・アノードディミングを行う場合に指定される。また、ディマー調整データは、例えば、図7(a)に示すDM0をLSB(Least Significant Bit)とした10ビットのバイナリデータ(DM0～DM9)のように、グリッド・アノードディミングの分解能に応じたビット数のバイナリデータとすることができる。一方、ディマー値とは、グリッド電圧やセグメント電圧のデューティー比として設定可能な値のことであり、図7(b)の波形図に示されたパルス幅TWとパルス周期Tとを用いて、“パルス幅TW／パルス周期T”と定義することができる。

【0005】

従来のVFD駆動回路は、このようなグリッドディミングやアノードディミングを実施する場合に、

実施形態A：

グリッドディミングのみを実施する形態（例えば、非特許文献1参照）

実施形態B：

アノードディミングのみを実施する形態（例えば、非特許文献2参照）

実施形態C：

グリッドディミング及びアノードディミングを同時に実施する形態（例えば、非特許文献3参照）

のいずれかを採用していた。

【0006】

【非特許文献 1】

”OK I 電子デバイス MSC 1 2 0 5 データシート (J2C0018-27-Y3)”、
[online]、1 9 9 8 年 1 月作成、沖電気工業 (株)、[平成 1 5 年 3 月 2 8 日
検索]、インターネット

<URL:http://www.okisemi.com/datadocs/doc-jpn/msc1205.pdf>

【0 0 0 7】**【非特許文献 2】**

”OK I 電子デバイス ML 9 2 1 3 データシート (FJDL9213-01)”、
[online]、2 0 0 0 年 9 月作成、沖電気工業 (株)、[平成 1 5 年 3 月 2 8 日
検索]、インターネット

<URL:http://www.okisemi.com/datadocs/doc-jpn/FJDL9213-01.pdf>

【0 0 0 8】**【非特許文献 3】**

”OK I 電子デバイス MSC 1 2 0 5 -01 データシート (FJDL1215-03)”、
[online]、2 0 0 0 年 9 月作成、沖電気工業 (株)、[平成 1 5 年 3 月 2 8 日
検索]、インターネット

<URL:http://www.okisemi.com/datadocs/doc-jpn/FJDL1215-03.pdf>

【0 0 0 9】**【発明が解決しようとする課題】**

ここで、「ゴースト不具合」と呼ばれる現象について、図 8 (a) ~ (c) に示すような、2 桁の 7 セグメントを表示パターンとする V F D の表示動作を一例に挙げて説明する。

【0 0 1 0】

図 8 (a) に示すように、まず期間 1 T では、グリッド電極 G 1 に対応する桁がスキャンされる (グリッド電極 G 1 が駆動される) とともに、セグメント電極 S m が駆動されるので、図 8 (b) に示すセグメント S m (1) が点灯する。

つぎに、期間 2 T では、グリッド電極 G 2 に対応する桁がスキャンされる (グリッド電極 G 2 が駆動される) とともに、セグメント電極 S m が駆動されるので、図 8 (b) に示すセグメント S m (2) が点灯する。ここで、本来であれば、

セグメント $S_m(2)$ が点灯する前に、グリッド電極 G_1 に印加されるグリッド電圧が、グリッド電極 G_1 が駆動されないレベルにまで下降し、期間 $1T$ において点灯していたセグメント $S_m(1)$ が消灯することになる。

しかしながら、図 8 (a) の破線部 P 内に示すように、VFD 駆動回路の当該出力端子と VFD のグリッド電極 G_1 との間の配線の抵抗成分や容量成分等に起因して、グリッド電極 G_1 に印加されるグリッド電圧の波形は鈍りを生じる。そのため、図 8 (b) に示すように、セグメント $S_m(1)$ 及びセグメント $S_m(2)$ をともに点灯する期間が生じてしまうことになる。

【0011】

なお、このような現象は、一般的に「ゴースト不具合」と呼ばれており、VFD の表示品位を低下させる一つの要因となっている。VFD 駆動回路は、このような「ゴースト不具合」を解消するために、グリッド電極に印加されるグリッド電圧の鈍りの影響を考慮して、グリッド電圧のデューティ比を適切な値に調整（グリッドディミング）しなければならない。

【0012】

一方、図 8 (a) に示す破線部 Q 内においても、図 8 (c) に示すような「ゴースト不具合」が発生している。なお、この場合、本来であれば、期間 $4T$ において図 8 (c) に示すセグメント $S_n(2)$ が点灯する前に、セグメント電極 S_m に印加されるセグメント電圧が、セグメント電極 S_m が駆動されないレベルにまで下降するので、期間 $3T$ において点灯していた図 8 (c) に示すセグメント $S_m(2)$ が消灯することになる。

しかしながら、前述したグリッド電圧の波形の鈍りと同様な原因によって、セグメント電極 S_m に印加されるセグメント電圧が鈍り、図 8 (c) に示すように、セグメント $S_m(2)$ 及びセグメント $S_n(2)$ がともに点灯する期間を生じる。なお、この場合、VFD 駆動回路は、セグメント電極に印加されるセグメント電圧の鈍りの影響を考慮して、セグメント電圧のデューティ比を適切な値に調整（アノードディミング）しなければならない。

【0013】

以上が「ゴースト不具合」と呼ばれる現象の説明である。ところで、従来の V

F D 駆動回路において、前記実施形態 A 又は前記実施形態 B では、グリッドディミング又はアノードディミングのいずれか一方しか実施できないので、前述したような「ゴースト不具合」を完全に解消することができなかった。

【0014】

また、従来の V F D 駆動回路の前記実施形態 C では、前述したような「ゴースト不具合」を解消するために、グリッドディミング及びアノードディミングを同時に実施することになる。しかしながら、アノードディミングのみを実施すれば十分な場合に（例えば、図 8 に示す破線部 Q の場合）、アノードディミングと同時にグリッドディミングをも実施することになる。そのため、前述したように、グリッドディミングによって、フィラメントとグリッド電極との間の熱電子量が一定とならず、V F D の表示品位が低下するという問題が生じることになる。

【0015】

本発明は、前述したような経緯に基づいてなされたものであり、その目的は、V F D の表示品位を向上させる V F D 駆動回路を提供することである。

【0016】

【課題を解決するための手段】

前記課題を解決するための主たる本発明は、フィラメントと、グリッド電極と、セグメント電極と、を有する蛍光表示管に対して、前記グリッド電極をパルス駆動するグリッド駆動手段と、前記セグメント電極をパルス駆動するセグメント駆動手段と、前記グリッド駆動手段の出力のデューティー比を調整可能とする第 1 の制御手段と、前記セグメント駆動手段の出力のデューティー比を調整可能とする第 2 の制御手段と、を有する蛍光表示管駆動回路であって、前記第 1 の制御手段又は前記第 2 の制御手段の少なくともいずれか一方を選択するための選択手段を有することである。

【0017】

本発明に係る蛍光表示管駆動回路は、適宜なタイミングにて、グリッド駆動手段の出力のデューティー比調整（グリッドディミング）又はセグメント駆動手段の出力のデューティー比調整（アノードディミング）の少なくともいずれか一方を選択して行うことができる。このことは、例えば、グリッド電極又はセグメン

ト電極における電圧の鈍りに起因した「ゴースト不具合」を解消することができ
る。すなわち、本発明に係る蛍光表示管駆動回路を用いることによって、蛍光表
示管の表示品位を向上させることが可能となる。

本発明の他の特徴については、添付図面及び本明細書の記載により明らかにす
る。

【 0 0 1 8 】

【発明の実施の形態】

=== 開示の概要 ===

以下の開示により、少なくとも次のことが明らかにされる。

フィラメントと、グリッド電極と、セグメント電極と、を有する蛍光表示管に
対して、前記グリッド電極をパルス駆動するグリッド駆動手段と、前記セグメン
ト電極をパルス駆動するセグメント駆動手段と、前記グリッド駆動手段の出力の
デューティー比を調整可能とする第 1 の制御手段と、前記セグメント駆動手段の
出力のデューティー比を調整可能とする第 2 の制御手段と、を有する蛍光表示管
駆動回路であって、前記第 1 の制御手段又は前記第 2 の制御手段の少なくともい
ずれか一方を選択するための選択手段を有する。

【 0 0 1 9 】

このように、本発明に係る蛍光表示管駆動回路は、適宜なタイミングにて、グ
リッド駆動手段の出力のデューティー比調整（グリッドディミング）又はセグメ
ント駆動手段の出力のデューティー比調整（アノードディミング）の少なくとも
いずれか一方を選択して行うことができる。このことは、例えば、グリッド電極
又はセグメント電極における電圧の鈍りに起因した「ゴースト不具合」を解消す
ることができる。すなわち、本発明に係る蛍光表示管駆動回路を用いることによ
って、蛍光表示管の表示品位を向上させることが可能となる。

【 0 0 2 0 】

本発明の第 2 の態様について、前記蛍光表示管駆動回路は、外部から前記第 1
の制御手段又は前記第 2 の制御手段の少なくともいずれか一方を選択するための
データを受信し、前記選択手段は、前記外部から受信するデータに基づいて、前
記第 1 の制御手段又は前記第 2 の制御手段の少なくともいずれか一方を選択する

。

ここで、前述した「外部から受信するデータ」とは、後述の「ディマータイプ・セレクトフラグ」のデータのことである。

このようにして、本発明に係る蛍光表示管駆動回路は、蛍光表示管の表示を確認しつつ、適宜なタイミングで第1の制御手段又は第2の制御手段の少なくともいずれか一方を選択することによって、「ゴースト不具合」を解消でき、蛍光表示管の表示品位を向上させることが可能となる。

【0021】

本発明の第3の態様について、前記選択手段は、前記第1の制御手段を選択しない場合、前記グリッド駆動手段の出力を所定デューティ比とし、前記第2の制御手段を選択しない場合、前記セグメント駆動手段の出力を所定デューティ比とする。

ここで、前述した「所定デューティ比」とは、グリッド電極又はセグメント電極の電圧の鈍りを考慮して設定された値とする。

このようにして、本発明に係る蛍光表示管駆動回路は、第1の制御手段又は第2の制御手段を選択しない場合においても、「ゴースト不具合」を未然に防止することが可能となり、蛍光表示管の表示品位を向上させることが可能となる。

【0022】

本発明の第4の態様について、前記蛍光表示管駆動回路は、前記フィラメントをパルス駆動するフィラメント駆動手段を有する半導体集積回路であり、前記フィラメントをパルス駆動するための電圧を生成するスイッチング素子を外部に接続可能とする。

なお、前述した「スイッチング素子」とは、例えば、Pch-MOS型FETやNch-MOS型FETであり、本発明に係る蛍光表示管駆動回路は、このようなスイッチング素子を外部に接続可能とするインタフェース（後述のFPCON端子）を備えるようにしてもよい。

【0023】

本発明の第5の態様について、前記フィラメントをパルス駆動するための電圧を生成するスイッチング素子を有する。

このように、本発明では、本発明に係る蛍光表示管駆動回路を用いた様々なアプリケーション回路（例えば、蛍光表示管モジュール）に対して、前述したスイッチング素子を備えるようにしてもよい。好ましくは、前記蛍光表示管駆動回路は、半導体集積回路であり、前記スイッチング素子を外部に接続可能としてもよい（本発明の第6の態様）、前記蛍光表示管駆動回路は、前記スイッチング素子を集積化した半導体集積回路としてもよい（本発明の第7の態様）。

【0024】

=== 実施例 ===

以下、本発明の実施の形態を図面に基づいて具体的に説明する。

【0025】

<システム構成>

図1は、本発明に係る一実施形態であるVFD駆動回路20を含めたシステムの概略構成図である。同図に示すVFD駆動回路20では、フィラメント11に電圧を印加する方式としてパルス駆動方式を採用する。パルス駆動方式とは、フィラメント11の通常の定格電圧と比べてかなり高い直流電圧をチョッピングしたパルス電圧（以下、フィラメントパルス電圧と称す）をフィラメント11に印加する方式のことである。なお、本発明に係るVFD駆動回路20は、フィラメント11に電圧を印加する方式として、前述のパルス駆動方式に限定はせず、交流（AC）駆動方式としてもよいし、直流（DC）駆動方式としてもよい。

【0026】

また、同図に示すVFD駆動回路20は、グリッド電極12及びセグメント電極13の駆動としてダイナミック駆動方式を採用し、グリッド電極12による表示桁数を”2”桁とし（このようなグリッド電極12の形態は、”1/2デューティ”と呼ばれている。）、セグメント出力を”90”とする。なお、本発明に係るVFD駆動回路20は、前述したグリッド数（2桁）及びセグメント数（90セグメント）に限定されるものではなく、また、グリッド電極12及びセグメント電極13の駆動を、ダイナミック駆動方式又はスタティック駆動方式の少なくともいずれかを組み合わせた駆動方式としてもよい。例えば、スタティック駆動方式を採用した場合は、セグメント数分のセグメント電極13と、一つのグリッ

ド電極 1 2 にて全ての桁表示を行う。この場合、一つのグリッド電極 1 2 には、一定の電圧（グリッド電圧）が印加される。

なお、ダイナミック駆動方式及びスタティック駆動方式の概要としては、例えば、産業図書発行の「ディスプレイ技術シリーズ 蛍光表示管 8. 2 基本的駆動回路（1 5 4 頁～1 5 8 頁）」に記載されている。

【 0 0 2 7 】

つぎに、V F D 駆動回路 2 0 の周辺回路に関して、V F D 1 0、外部発振器 3 0、外部コントローラ 4 0、スイッチング素子 5 0 を順に説明する。

V F D 1 0 は、フィラメント 1 1、グリッド電極 1 2、セグメント（アノード）電極 1 3 によって構成される。フィラメント 1 1 は、V F D 駆動回路 2 0 からスイッチング素子 5 0 を介して、パルス駆動方式に基づいてフィラメントパルス電圧が印加されることによって加熱され、熱電子を放出する。グリッド電極 1 2 は、桁選択用の電極として作用し、フィラメント 1 1 から放出された熱電子を加速もしくは遮断する。セグメント電極 1 3 は、セグメント選択用の電極として作用する。なお、セグメント電極 1 3 の表面上には、表示すべきパターンの形状にて蛍光体が塗布されており、グリッド電極 1 2 にて加速された熱電子を、その蛍光体に衝突発光させることによって、所望のパターンが表示されることになる。

【 0 0 2 8 】

また、V F D 1 0 では、グリッド電極 1 2 からは各桁ごとに独立して別々にリード線が引き出される一方、セグメント電極 1 3 からは各桁ごとに対応するセグメントどうしを共通に内部接続してリード線が引き出される。これらのグリッド電極 1 2 及びセグメント電極 1 3 から引き出されたリード線は、それぞれ V F D 駆動回路 2 0 の対応する出力端子（グリッド出力端子は G 1 ～ G 2、セグメント出力端子は S 1 ～ S 4 5）と接続される。

【 0 0 2 9 】

外部発振器 3 0 は、抵抗 R や容量素子 C などによって構成される R C 発振手段であり、V F D 駆動回路 2 0 の発振器用端子（O S C I 端子、O S C O 端子）と接続されることにより、R C 発振回路を構成する。なお、外部発振器 3 0 は、固有の発振周波数を有する水晶振動子やセラミック振動子などとし、自走発振手段

としての水晶又はセラミック発振回路を構成するようにしてもよい。また、外部発振器 3 0 は、他走発振用のクロック信号を V F D 駆動回路 2 0 に供給する他走発振手段としてもよい。

【 0 0 3 0 】

外部コントローラ 4 0 は、V F D 駆動素子を含まないマイコンなどであり、シリアルデータ転送用のデータバスを介して V F D 駆動回路 2 0 と接続されており、所定のデータ転送フォーマットにて、V F D 1 0 を駆動するために必要な信号を V F D 駆動回路 2 0 に送信する。なお、外部コントローラ 4 0 と V F D 駆動回路 2 0 との間のデータ転送としては、前述したシリアルデータ転送に限らず、パラレルデータ転送としてもよい。

【 0 0 3 1 】

スイッチング素子 5 0 は、P c h の M O S 型 F E T であり、そのゲート端子が、後述するパルス駆動信号を出力する V F D 駆動回路 2 0 の F P C O N 端子と接続されている。なお、スイッチング素子 5 0 としては、P c h の M O S 型 F E T に限定されず、例えば、N c h の M O S 型 F E T による構成としてもよいし、N c h の M O S 型 F E T と P c h の M O S 型 F E T を組み合わせた構成としてもよい。また、スイッチング素子 5 0 は、V F D 駆動回路 2 0 の F P C O N 端子から供給されるパルス駆動信号に応じてオン／オフ（スイッチング）動作することによって、フィラメント電源電圧 V F L から、V F D 1 0 のフィラメント 1 1 に印加するフィラメントパルス電圧を生成する。

【 0 0 3 2 】

なお、図 1 に示されている V F D 駆動回路 2 0 の F P R 端子は、スイッチング素子 5 0 の入出力特性に応じて、F P C O N 端子から出力されるパルス駆動信号の極性を設定するための入力端子であり、例えば、図 1 に示すように、スイッチング素子 5 0 に P c h - M O S 型 F E T を採用した場合には、F P R 端子に電源電圧 V D D （"H" 固定）を接続する。また、スイッチング素子 5 0 に N c h - M O S 型 F E T を採用した場合には、F P R 端子を接地（"L" 固定）する。

【 0 0 3 3 】

図 2 は、外部コントローラ 4 0 と V F D 駆動回路 2 0 との間のデータ転送フォ

フォーマットについてのタイミングチャートである。同図に示すように、データ転送フォーマットは、グリッド電極G1に関するシーケンス（以下、G1シーケンスと称す）と、グリッド電極G2に関するシーケンス（以下、G2シーケンスと称す）と、を有する。なお、データ転送フォーマットは、前述したフォーマットに限定されるものではなく、例えば、G1シーケンス及びG2シーケンスを一回のシーケンスにて実行してもよい。

【0034】

以下、G1シーケンスについて概略的に説明する。なお、G2シーケンスは、G1シーケンスと同様な手順であるため説明を省略する。

まず、外部コントローラ40は、同期クロック信号CLと併せてVFD駆動回路20に付与されたバスアドレス（8ビット）をVFD駆動回路20に送信する。VFD駆動回路20は、受信したバスアドレスが自身に付与されたバスアドレスか否かを識別する。そして、自身へのバスアドレスであると識別すると、外部コントローラ40から受信したバスアドレスに付帯して送信される制御命令（後述のコントロールデータなど）を、自身への制御命令として受け付ける。このように、バスアドレスとは、個々のICに付与された固有のアドレスのことであり、外部コントローラ40と複数のICが同一のバスライン上に接続された実施形態において、外部コントローラ40が、同一のバスライン上の複数のICを制御するために用いられる。

【0035】

つぎに、外部コントローラ40は、チップイネーブル信号CEをアサート（Hレベルとする）してVFD駆動回路20をイネーブル（選択）状態とし、引き続いて、グリッド電極G1に関する45ビットの表示データ（D1～D45）、VFD駆動回路20の各制御に用いられる16ビットのコントロールデータ等を送信する。なお、16ビットのコントロールデータとしては、後述のディマータイプ・セレクトフラグ（GD、SD）と、グリッドディミング又はアノードディミングの少なくともいずれか一方のための10ビットのディマー調整データ（DM0～DM9）、グリッド識別子DD（例えば、グリッド電極G1の場合は”1”、グリッド電極G2の場合は”0”とする）等を有する。

【0036】

この後、外部コントローラ40は、チップイネーブル信号CEをネゲート（Lレベルとする）し、VFD駆動回路20をディゼーブル（非選択）状態にするとともに、同期クロック信号CLの送信を停止し、G1シーケンスを完結することになる。

【0037】**<VFD駆動回路>**

図3は、本発明に係るVFD駆動回路20のブロック図である。

VFD駆動回路20は、インタフェース部201、発振回路202、分周回路203、タイミング発生器204、シフトレジスタ205、コントロールレジスタ206、ラッチ回路207、マルチプレクサ208、セグメントドライバ209、グリッドドライバ210、デイマー制御手段211、フィラメントパルス制御手段212と、を有する。

【0038】

インタフェース部201は、外部コントローラ40との間において、図2に示したようなデータの送受信を行うインタフェース手段である。

発振回路202は、外部発振器30が発振器用端子（OSCI、OSCO）と接続されることによって、VFD駆動回路20に関する基準クロック信号を生成する。この基準クロック信号は、分周回路203によって所定の分周数に分周され、タイミング発生器204に供給される。

【0039】

タイミング発生器204は、分周回路203から供給された信号に基づいて、グリッド電極G1～G2を駆動するための信号（以下、グリッド駆動信号と称す）のタイミング等を決定する信号（以下、内部クロック信号Aと称す）や、フィラメントパルス制御手段212において、パルス駆動信号のタイミング等を決定する信号（以下、内部クロック信号Bと称す）などを出力する。

【0040】

シフトレジスタ205は、前述したG1又はG2シーケンスごとにインタフェース部201にて受信した、45ビットの表示データ（D1～D45又はD46

～D90)、16ビットのコントロールデータ(後述のディマータイプ・セレクトフラグ(GD、SD)、ディマー調整データ(DM0～DM9))を平行データに変換し、コントロールレジスタ206、ラッチ回路207、フィラメントパルス制御手段212などに供給する。

【0041】

コントロールレジスタ206は、シフトレジスタ205から供給される32ビット(16ビット×2)のコントロールデータを格納する。なお、コントロールデータに含まれる後述のディマータイプ・セレクトフラグ(GD、SD)及びディマー調整データ(DM0～DM9)は、ディマー制御手段211に供給されることになる。

【0042】

ラッチ回路207は、シフトレジスタ205から供給された、グリッド電極G1に関しての45ビットの表示データ(D1～D45)及びグリッド電極G2に関しての45ビットの表示データ(D46～D90)を保持する。すなわち、ラッチ回路207は、グリッド電極G1～G2の駆動に係る繰り返し周期ごとに、90ビットの表示データ(D1～D90)を保持することになる。

【0043】

マルチプレクサ208は、グリッド電極G1～G2それぞれを駆動するタイミングにて、ラッチ回路207にて保持されている90ビットの表示データ(D1～D90)の中から、駆動する方のグリッド電極G1又はG2に関する45ビットの表示データを選択し、セグメントドライバ209に供給する。

【0044】

セグメントドライバ209は、マルチプレクサ208にて選択・供給された45ビットの表示データに基づいて、セグメント電極S1～S45を駆動するための信号を形成し、セグメント電極S1～S45に出力する。なお、セグメント電極S1～S45を駆動するための信号としては、セグメント電極S1～S45に印加する電圧(以下、セグメント電圧)としてもよいし、セグメントドライバ209とセグメント電極S1～S45の間に駆動素子を介在させ、その駆動素子へ供給する制御信号としてもよい(以下、前記セグメント電圧や前記制御信号を総

称して、セグメント駆動信号と称す)。

【0045】

グリッドドライバ210は、タイミング発生器204から供給される内部クロック信号Aに基づいて、グリッド駆動信号を形成し、グリッド電極G1～G2に出力する。なお、グリッド電極G1～G2を駆動するための信号としては、グリッド電極G1～G2に印加する電圧(以下、グリッド電圧)としてもよいし、グリッドドライバ210とグリッド電極G1～G2の間に駆動素子を介在させ、その駆動素子へ供給する制御信号としてもよい(以下、前記グリッド電圧や前記制御信号を総称して、グリッド駆動信号と称す)。

【0046】

ディマー制御手段211は、コントロールレジスタ206から供給されるディマー調整データ(DM0～DM9)に基づき、グリッド駆動信号のデューティ比を調整可能とする制御手段(以下、第1の制御手段と称す)と、セグメント駆動信号のデューティ比を調整可能とする制御手段(以下、第2の制御手段と称す)と、を有する。また、ディマー制御手段211は、コントロールレジスタ207から供給される後述のディマータイプ・セレクトフラグ(GD、SD)に基づいて、第1の制御手段又は第2の制御手段の少なくともいずれか一方を選択することができる。

【0047】

フィラメントパルス制御手段212は、タイミング発生器204から供給される内部クロック信号Bに基づいて、フィラメント11をパルス駆動するためのパルス駆動信号を形成し、FPCON端子を介してスイッチング素子50に出力する。また、フィラメントパルス制御手段212は、FPR端子から供給される信号に基づいて、パルス駆動信号の極性を設定する。

以下、本発明において特徴的な動作を行うディマー制御手段211について説明する。

【0048】

<ディマー制御手段>

=== ディマータイプ・セレクトフラグ ===

まず、第1の制御手段又は第2の制御手段の少なくともいずれか一方を選択するためのディマータイプ・セレクトフラグの一実施形態について、図4を用いて説明する。同図に示すように、ディマータイプ・セレクトフラグとしては、第1の制御手段を選択するためのGDフラグと、第2の制御手段を選択するためのSDフラグと、を有する。

【0049】

VFD駆動回路20は、例えば、GDフラグ（又はSDフラグ）の状態として、外部コントローラ40から”1”を受信した場合には、GDフラグ（又はSDフラグ）のデータと合わせて受信するディマー調整データ（DM0～DM9）に基づき、グリッド駆動信号（又はセグメント駆動信号）のデューティ比を調整する。すなわち、VFD駆動回路20は、GDフラグ（又はSDフラグ）の状態が”1”の場合に、第1の制御手段（又は第2の制御手段）を選択することになる。

【0050】

一方、VFD駆動回路20は、例えば、GDフラグ（又はSDフラグ）の状態として、外部コントローラ40から”0”を受信した場合には、グリッド駆動信号（又はセグメント駆動信号）のデューティ比を所定デューティ比とする。この所定デューティ比としては、例えば、以下のようにして設定された値としてもよい。まず、グリッド電圧（又はセグメント電圧）のパルス幅の期間を1サイクル前のグリッド電圧（又はセグメント電圧）が鈍る期間を除く期間とする。そして、そのようなグリッド電圧（又はセグメント電圧）のパルス幅をグリッド電圧（又はセグメント電圧）のパルス周期で除算した値を前記所定デューティ比として設定することができる。なお、グリッド電圧（又はセグメント電圧）が鈍る期間とは、例えば、図8に示すTPの期間（又はTQの期間）のことである。

【0051】

=== 回路構成 ===

本発明に係るディマー制御手段211の一実施形態としての回路構成について図5を用いて説明する。なお、以下では、図6に示すディマー制御手段211の主要信号のタイミングチャートを適宜併用して説明する。

【0052】

ディマー制御手段 211 は、第 1 の制御手段 810 と、第 2 の制御手段 811 と、グリッド出力端子数分（同図では”2”）の第 1 のマルチプレクサ手段 812（812a、812b）と、セグメント出力端子数分（同図では”45”）の第 2 のマルチプレクサ手段 813（813a、813b）と、ラッチ手段 814 と、第 3 のマルチプレクサ手段 815 と、を有する。

【0053】

第 1 の制御手段 810 及び第 2 の制御手段 811 は、外部コントローラ 40 から受信するディマー調整データ（DM0～DM9）に基づき、そのディマー調整データ（DM0～DM9）に対応するディマー値（TW/T）を特定する。そして、タイミング発生器 204 から供給された基準クロック信号（図 6（A））及び内部クロック信号 A（図 6（B））から、そのディマー値に応じたパルス幅を有するディマー制御信号（図 6（D））を生成して出力する。なお、図 6（D）に示すディマー制御信号では、時刻 t2 から時刻 t3 間及び時刻 t5 から時刻 t6 間のパルス幅が、ディマー調整データ（DM0～DM9）に対応するディマー値（TW/T）に応じたパルス幅を表している。

【0054】

ところで、図 5 に示す第 1 の制御手段 810 及び第 2 の制御手段 811 では、ディマータイプ・セレクトフラグ（GD、SD）の状態如何に係わらず、外部コントローラ 40 からディマー調整データ（DM0～DM9）を受信した場合に、ディマー制御信号（図 6（D））を生成して出力するよう動作する。なお、このような形態以外にも、例えば、第 1 の制御手段 810 及び第 2 の制御手段 811 は、外部コントローラ 40 からディマー調整データ（DM0～DM9）を受信し、且つディマータイプ・セレクトフラグ（GD、SD）の状態が”1”の場合に、ディマー制御信号（図 6（D））を生成して出力するよう動作してもよい。

【0055】

第 1 のマルチプレクサ手段 812 は、GD フラグの状態が”1”の場合には、第 1 の制御手段 810 の出力としてのディマー制御信号（図 6（D））をグリッド駆動信号として出力する。一方、GD フラグの状態が”0”の場合には、所定デューティ比を有する非選択用駆動信号（図 6（C））を出力する。

【0 0 5 6】

なお、この非選択用駆動信号（図 6（C））とは、例えば、タイミング発生器 2 0 4 において、基準クロック信号から所定のカウンタ手段（不図示）などを介して生成された信号とする。また、非選択用駆動信号における所定デューティー比とは、前述したとおり、グリッド電圧（又はセグメント電圧）の鈍りを考慮して設定された値とする。

【0 0 5 7】

第 2 のマルチプレクサ手段 8 1 3 は、S D フラグの状態が” 1 ”の場合には、第 2 の制御手段 8 1 1 の出力としてのディマー制御信号（図 6（D））を第 3 のマルチプレクサ手段 8 1 5 に出力する。一方、S D フラグの状態が” 0 ”の場合には、第 1 のマルチプレクサ手段 8 1 2 と同様に、所定デューティー比を有する非選択用駆動信号（図 6（C））を出力する。

【0 0 5 8】

ラッチ手段 8 1 4 は、グリッド電極 G 1 ～ G 2 を駆動するたびに、その駆動する方のグリッド電極 1 2 に対応するセグメント電極 1 3 への表示データ（D 1 ～ D 4 5 及び D 4 6 ～ D 9 0）を所定のタイミングにてラッチする。なお、同図では、表示データ（D 1 ～ D 4 5）のラッチタイミングを、内部クロック信号 A（図 6（B））のグリッド電極 G 1 期間に対応するパルス信号（内部クロック信号 A'）の立ち上がり時とし、表示データ（D 4 6 ～ D 9 0）のラッチタイミングを、内部クロック信号 A（図 6（B））グリッド電極 G 2 期間に対応するパルス信号（内部クロック信号 A''）の立ち上がり時としている。

【0 0 5 9】

第 3 のマルチプレクサ手段 8 1 5 は、第 2 のマルチプレクサ手段 8 1 3 の出力とラッチ手段 8 1 4 の出力とに基づいて、グリッド電極 G 1 ～ G 2 を駆動するたびに、その駆動する方のグリッド電極 1 2 に応じたセグメント駆動信号を順次出力する。

【0 0 6 0】

ディマー制御手段 2 1 1 は、G D フラグ（又は S D フラグ）の状態が” 1 ”の場合には、図 6（E）に示すグリッド駆動信号（又はセグメント駆動信号）を出力

し、GDフラグ（又はSDフラグ）の状態が“0”の場合には、図6（F）に示すグリッド駆動信号（又はセグメント駆動信号）を出力する。

【0061】

以上、本発明に係るVFD駆動回路20は、適宜なタイミングにて、グリッド駆動信号のデューティ比調整（グリッドディミング）又はセグメント駆動信号のデューティ比調整（アノードディミング）の少なくともいずれか一方を選択して行うことができる。このことは、例えば、グリッド電極12又はセグメント電極13における電圧の鈍りに起因した「ゴースト不具合」を解消することができる。すなわち、本発明に係るVFD駆動回路20を用いることによって、蛍光表示管の表示品位を向上させることが可能となる。

【0062】

=== その他の実施形態 ===

前述した実施形態として、本発明に係るVFD駆動回路20は、グリッド電極12又はセグメント電極13における電圧の鈍りを検出する手段を備え、グリッド電極12又はセグメント電極13における電圧の鈍りが検出された場合に、第1の制御手段810又は第2の制御手段811の少なくともいずれか一方を選択するようにしてもよい。

【0063】

なお、この実施形態の場合、第1の制御手段810（又は第2の制御手段811）に入力されるディマー調整データ（DM0～DM9）としては、前記非選択用駆動信号のデューティ比と同様に、グリッド電圧（又はセグメント電圧）の鈍りを考慮して設定された値とし、VFD駆動回路20の所定の記憶手段に記憶する。そして、前記検出手段の検出結果に基づき、前記記憶手段から所定のデューティ比に対応したディマー調整データ（DM0～DM9）を読み出し、第1の制御手段810又は第2の制御手段811に入力するようにしてもよい。

【0064】

このようにしても、本発明に係るVFD駆動回路20は、グリッド電極12又はセグメント電極13における電圧の鈍りに起因した「ゴースト不具合」を解消でき、蛍光表示管の表示品位を向上させることが可能となる。

【0065】

また、前述した実施形態として、本発明に係るVFD駆動回路20を半導体集積回路とし、フィラメント11をパルス駆動するための電圧を生成するスイッチング素子50を外部に接続可能とするインタフェース（FPCON端子）を備えるようにしてもよい。

【0066】

また、前述した実施形態として、本発明に係るVFD駆動回路20を用いた様々なアプリケーション回路（例えば、蛍光表示管モジュール）に対して、スイッチング素子50を備えるようにしてもよい。好ましくは、VFD駆動回路20は、半導体集積回路とし、スイッチング素子50を外部に接続可能としてもよいし、集積化したスイッチング素子50を内蔵した半導体集積回路としてもよい。

【0067】**【発明の効果】**

本発明によれば、蛍光表示管の表示品位を向上させる蛍光表示管駆動回路を提供することができる。

【図面の簡単な説明】**【図1】**

本発明に係る一実施形態としての蛍光表示管駆動回路を含めたシステムの概略構成図である。

【図2】

本発明に係る一実施形態としての外部コントローラと蛍光表示管駆動回路との間のデータ転送フォーマットについてのタイミングチャートである。

【図3】

本発明に係る一実施形態としての蛍光表示管駆動回路のブロック図である。

【図4】

本発明に係る一実施形態としてのディマータイプ・セレクトフラグ設定を説明するための表である。

【図5】

本発明に係る一実施形態としてのディマー制御手段の回路構成図である。

【図 6】

本発明に係る一実施形態としてのディマー制御手段の動作を説明するためのタイミングチャートである。

【図 7】

ディマー調整データとディマー値との対照表の一例を説明するための図である。

【図 8】

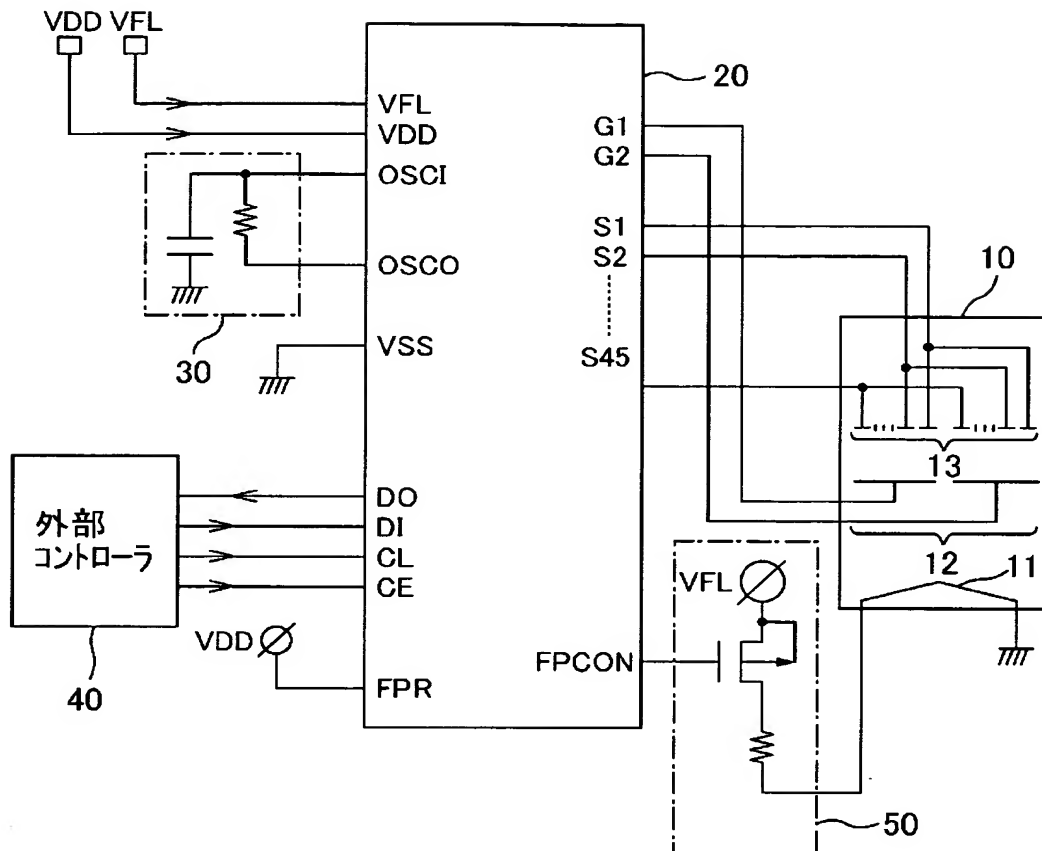
従来の課題としての「ゴースト不具合」を説明するための図である。

【符号の説明】

10	VFD	11	フィラメント
12	グリッド電極	13	セグメント電極
20	VFD駆動回路		
201	インタフェース部	202	発振回路
203	分周回路	204	タイミング発生器
205	シフトレジスタ	206	コントロールレジスタ
207	ラッチ回路	208	マルチプレクサ
209	セグメントドライバ	210	グリッドドライバ
211	ディマー制御手段	212	フィラメントパルス制御手段
30	外部発振器		
40	外部コントローラ		
50	スイッチング素子		
810	第1の制御手段	811	第2の制御手段
812	第1のマルチプレクサ手段	813	第2のマルチプレクサ手段
814	ラッチ手段	815	第3のマルチプレクサ手段

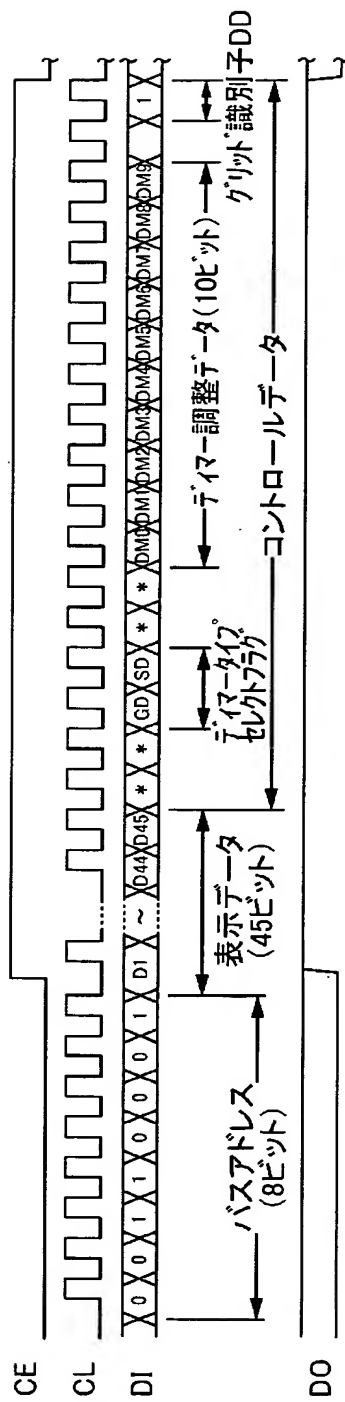
【書類名】 図面

【図 1】

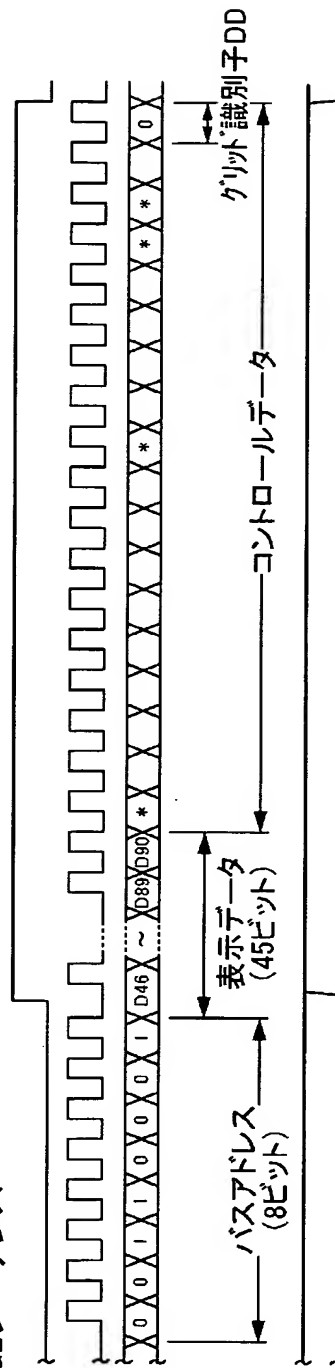


【図 2】

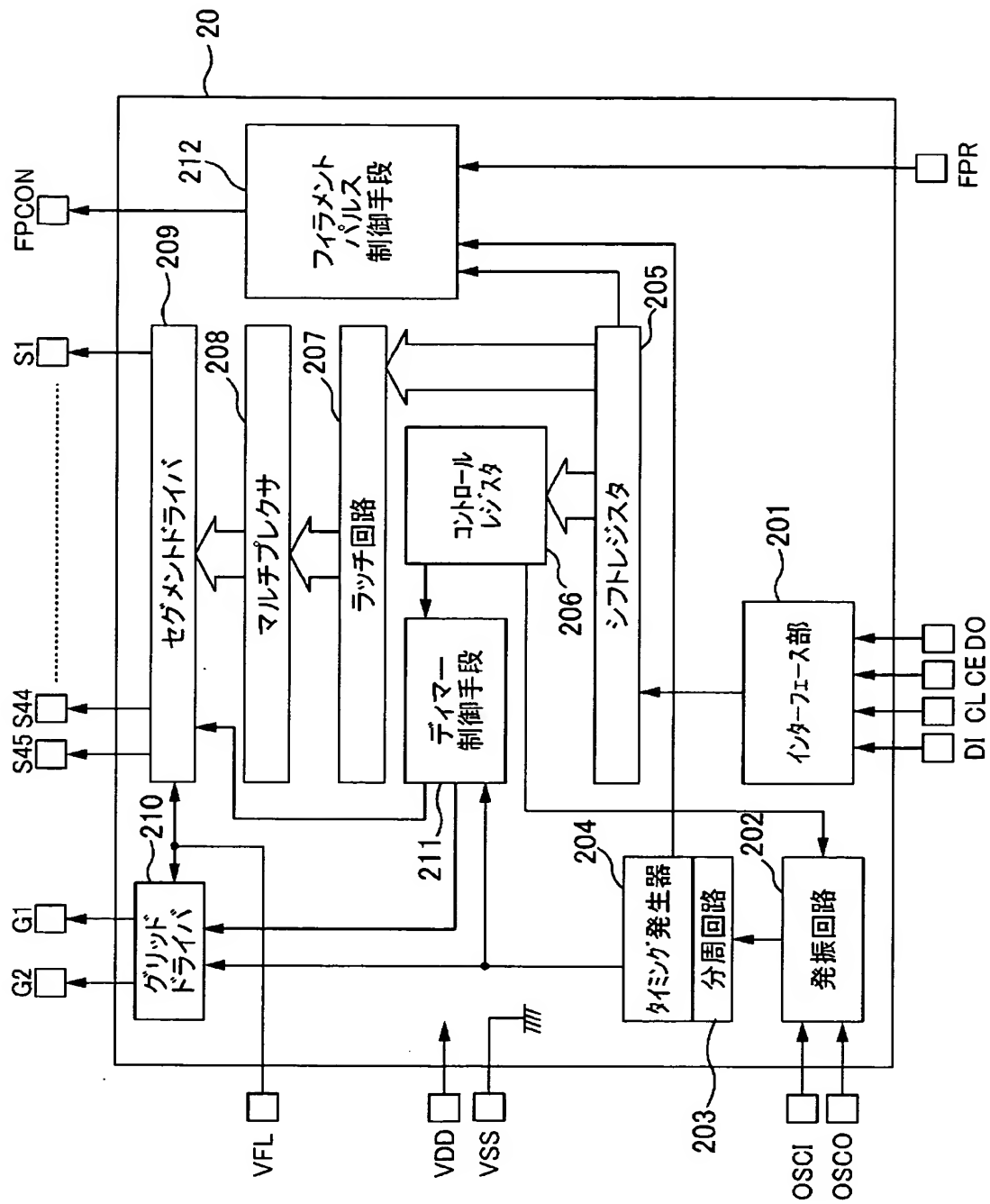
(a) G1シーケンス



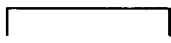

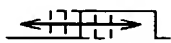
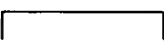
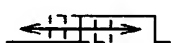

(b) G2シーケンス



【図 3】

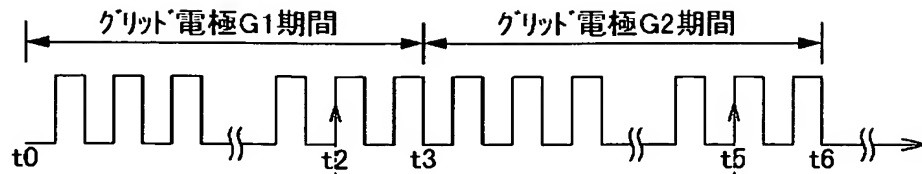


【図 4】

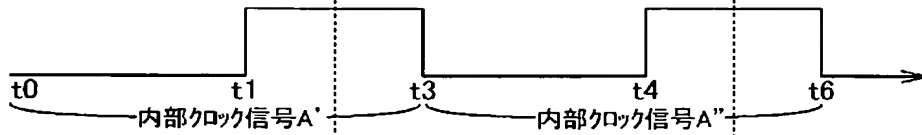
ディマータイプ・ セレクトフラグ		出力状態	出力波形	
GD	SD	Gn,Sn端子	Gn端子	Sn端子
0	0	設定不可	—	—
0	1	Sn出力のみディマー調整		
1	0	Gn出力のみディマー調整		
1	1	Gn,Sn 両出力ディマー調整		

【図 6】

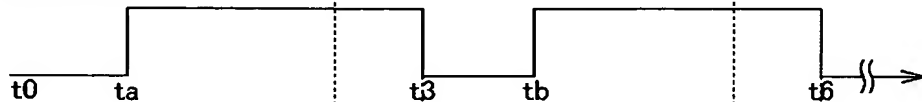
(A) 基準クロック信号



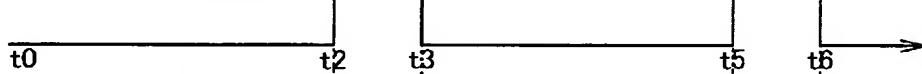
(B) 内部クロック信号A



(C) 非選択用駆動信号



(D) デイマー制御信号

(E) グリット(又はセグメント)駆動信号
(GD(又はSD)フラグ“1”の場合)(F) グリット(又はセグメント)駆動信号
(GD(又はSD)フラグ“0”の場合)

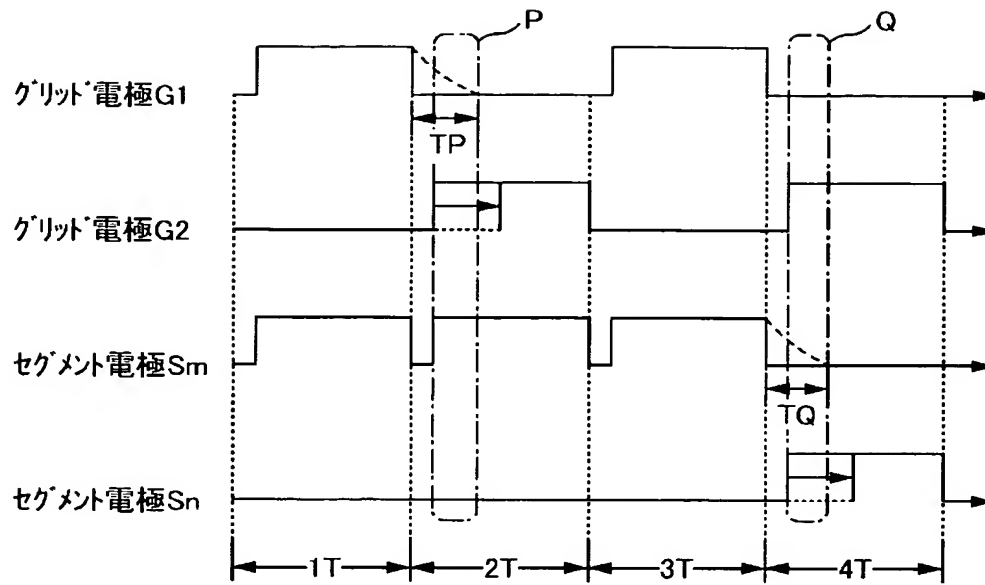
【図 7】

(a)

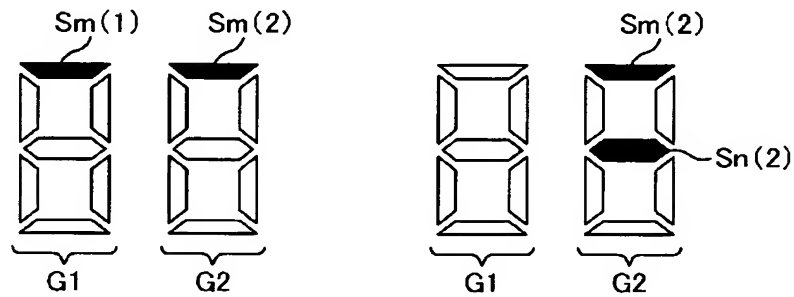
ディマ-調整データ										ディマ-値(TW/T)
DM9	DM8	DM7	DM6	DM5	DM4	DM3	DM2	DM1	DM0	
0	0	0	0	0	0	0	0	0	0	0/1024
0	0	0	0	0	0	0	0	0	1	1/1024
0	0	0	0	0	0	0	0	1	0	2/1024
										⋮
1	1	1	1	1	1	1	1	0	0	1020/1024
1	1	1	1	1	1	1	1	0	1	1021/1024
1	1	1	1	1	1	1	1	1	0	1022/1024
1	1	1	1	1	1	1	1	1	1	設定不可

(b)

【図 8】



(a)



(b)

(c)

【書類名】 要約書

【要約】

【解決手段】 フィラメントと、グリッド電極と、セグメント電極と、を有する蛍光表示管に対して、前記グリッド電極をパルス駆動するグリッド駆動手段と、前記セグメント電極をパルス駆動するセグメント駆動手段と、前記グリッド駆動手段の出力のデューティ比を調整可能とする第1の制御手段と、前記セグメント駆動手段の出力のデューティ比を調整可能とする第2の制御手段と、を有する蛍光表示管駆動回路であって、前記第1の制御手段又は前記第2の制御手段の少なくともいずれか一方を選択するための選択手段を有することを特徴とする蛍光表示管駆動回路。

【選択図】 図1

特願 2 0 0 3 - 0 9 1 6 7 3

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 1 8 8 9]

1. 変更年月日

1 9 9 3 年 1 0 月 2 0 日

[変更理由]

住所変更

住 所

大阪府守口市京阪本通 2 丁目 5 番 5 号

氏 名

三洋電機株式会社